



PTO/SB/21 (04-04) IFW

**TRANSMITTAL
FORM**

(to be used for all correspondence after initial filing)

Total Number of Pages in This Submission

13

Application Number

10/773,519

Filing Date

February 6, 2004

First Named Inventor

Lu, Cong

Art Unit

2812

Examiner Name

Not Yet Assigned

Attorney Docket Number

021653-002200US

ENCLOSURES (Check all that apply)

- | | | |
|--|--|--|
| <input type="checkbox"/> Fee Transmittal Form
<input type="checkbox"/> Fee Attached
<input type="checkbox"/> Amendment/Reply
<input type="checkbox"/> After Final
<input type="checkbox"/> Affidavits/declaration(s)
<input type="checkbox"/> Extension of Time Request
<input type="checkbox"/> Express Abandonment Request
<input type="checkbox"/> Information Disclosure Statement
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s) 11 pages
<input type="checkbox"/> Response to Missing Parts/ Incomplete Application
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53 | <input type="checkbox"/> Drawing(s)
<input type="checkbox"/> Licensing-related Papers
<input type="checkbox"/> Petition
<input type="checkbox"/> Petition to Convert to a Provisional Application
<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address
<input type="checkbox"/> Terminal Disclaimer
<input type="checkbox"/> Request for Refund
<input type="checkbox"/> CD, Number of CD(s) _____ | <input type="checkbox"/> After Allowance Communication to Technology Center (TC)
<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Status Letter
<input checked="" type="checkbox"/> Other Enclosure(s) (please identify below):
Return Postcard |
|--|--|--|

Remarks

The Commissioner is authorized to charge any additional fees to Deposit Account 20-1430.

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENTFirm
or
Individual name

Townsend and Townsend and Crew LLP

Richard T. Ogawa

Reg. No. 37,692

Signature

Date

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name

TIFFANY WU

Signature

Date

8.2.04

BEST AVAILABLE COPY

证 明

10,773,519

本证明之附件是向本局提交的下列专利申请副本

申 日: 2003. 12. 30

申 号: 200310122965X

申 别: 发明

发明 称: 用于制造半导体晶片的半色调掩模的制造方法和结构

申 人: 中芯国际集成电路制造(上海)有限公司

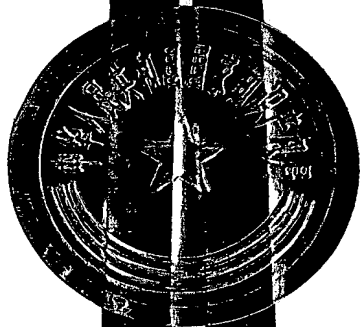
发明 人: 卢聪

CERTIFIED COPY OF
PRIORITY DOCUMENT

中华人民共和国
国家知识产权局局长

王景川

2004 年 7 月 6 日



1. 一种用于制造用于集成电路器件的掩模的方法，所述方法包括：
提供具有表面的石英衬底，所述石英衬底有一个厚度；
5 形成上覆石英衬底表面的 MoSi 膜；
图案化上覆石英衬底的 MoSi 膜，以形成掩模图案；以及
形成不透明的边缘，所述不透明的边缘在围绕掩模图案周边区域的一部分表面上包括含有碳的材料；其中，不透明的边缘结构具有在约 0% 到约 3% 之间变化的光透射比。
- 10 2. 如权利要求 1 所述的方法，其中，所述不透明的边缘结构的形成是通过激光沉积提供的。
3. 如权利要求 1 所述的方法，其中，所述不透明的边缘结构的形成是通过聚焦离子束提供的。
4. 如权利要求 1 所述的方法，其中，所述不透明的边缘结构占据了
15 石英衬底上没有掩模图案的区域。
5. 如权利要求 1 所述的方法，其中，所述掩模图案是用于半色调移相掩模的。
6. 如权利要求 1 所述的方法，还包括清洗被图案化的 MoSi 膜和不透明的边缘结构。
- 20 7. 如权利要求 1 所述的方法，其中，所述碳处于 C_{12} 、 C_{13} 、 C_{14} 状态。
8. 如权利要求 1 所述的方法，其中，所述 MoSi 膜的图案化是光刻处理。
9. 如权利要求 8 所述的方法，其中，所述图案化是所述方法所使用的唯一的
25 光刻处理。
10. 如权利要求 1 所述的方法，其中，所述掩模图案是没有铬膜的。
11. 一种用于处理集成电路器件的方法，所述方法包括：
提供掩模结构，所述掩模结构包括具有表面的石英衬底、被图案化的 MoSi 膜和不透明的边缘结构，所述被图案化的 MoSi 膜上覆石英衬底表面

用于形成掩模图案，所述不透明的边缘结构在围绕掩模图案周边区域的一部分表面上包括含有碳的材料；以及

使用掩模结构，用于将图案应用到上覆半导体衬底的光敏材料上。

12. 如权利要求 11 所述的方法，其中，所述掩模结构是掩模。

5 13. 如权利要求 11 所述的方法，其中，所述含有碳的材料处于 C_{12} 、 C_{13} 、 C_{14} 状态。

14. 如权利要求 11 所述的方法，其中，所述不透明的边缘结构的形成是通过激光沉积提供的。

10 15. 如权利要求 11 所述的方法，其中，所述不透明的边缘结构的形成是通过聚焦离子束提供的。

16. 如权利要求 1 所述的方法，其中，所述不透明的边缘结构占据了石英衬底上没有掩模图案的区域。

17. 如权利要求 11 所述的方法，其中，所述掩模图案是用于半色调移相掩模的。

15 18. 如权利要求 11 所述的方法，还包括清洗被图案化的 MoSi 膜和不透明的边缘结构。

19. 一种用于集成电路器件的半色调移相掩模，所述掩模包括：
具有表面的衬底；

20 上覆所述衬底表面的被图案化的阻光膜；以及
不透明的边缘结构，其在围绕掩模图案周边区域的一部分表面上包括含有碳的材料。

20. 如权利要求 19 所述的掩模，其中，所述含有碳的材料处于 C_{12} 、 C_{13} 、 C_{14} 状态。

用于制造半导体晶片的半色调掩模的制造方法和结构

5 技术领域

本发明涉及集成电路和对它们进行的用于制造半导体器件的处理。更具体地说，本发明提供了一种用于制造半色调移相掩模（half tone phase shift mask）的方法，该半色调移相掩模用于制造例如动态随机访问存储器器件、静态随机访问存储器器件（SRAM）、专用集成电路器件（ASIC）、微处理器和微控制器、闪存器件和其他器件的先进的集成电路。

背景技术

集成电路或“IC”已经从在单硅片上制造的少量互连器件发展到数百万的器件。现在 IC 的性能和复杂度远远超过了最初的想象。为了实现在复杂度和电路密度（即能够压缩到给定芯片面积上的器件的数量）方面的改进，最小器件特征尺寸（也被称为器件“几何”）随着每一代 IC 的出现已经变得更小了。半导体器件现在被制造为具有小于四分之一微米宽的特征。

逐渐增加的电路密度不仅改进了 IC 的复杂度和性能，而且还为用户提供了更低的成本部分。IC 制造设备可能要花费几亿美元甚至十几亿美元。每一个制造设备将具有确定的晶片吞吐量，并且每一个晶片在其上将具有确定数量的 IC。因此，通过使 IC 的单独的器件更小，可以在每一个晶片上制造更多的器件，从而增加制造设备的产量。使器件更小是很有挑战性的，因为在 IC 制造中所使用的每一个处理都有界限（limit）。也就是说，一个给定的处理一般只能降低到某一个特征尺寸，然后就需要改变处理或者器件布局了。

这种界限的一个例子是制造掩模的能力，所述掩模在进行光刻以用于制造集成电路时使用。常用的掩模被称为移相掩模。已经使用来自光源的

干涉图案将移相掩模用于印刷小于 0.25 微米的特征尺寸。不幸的是，已经很难以有效率且精确的方式进行传统的处理以制造移相掩模。此外，传统的处理似乎很麻烦，而且会导致掩模本身的问题。在整个说明书中描述了这些和其他的限制，在下面将更加具体地描述。

5

发明内容

根据本发明，提供了用于制造半导体器件的技术。更具体地说，本发明提供了一种用于制造半色调移相掩模的方法，该半色调移相掩模用于制造例如动态随机访问存储器器件、静态随机访问存储器器件（SRAM）、
10 专用集成电路器件（ASIC）、微处理器和微控制器、闪存器件和其他器件的先进的集成电路。

在一个特定的实施例中，本发明提供了用于集成电路器件的掩模的制造方法。该方法包括提供具有表面的石英衬底，形成上覆石英衬底表面的 MoSi 膜或其他膜（例如 Ta_xO_y ）。该方法还包括图案化上覆石英衬底的
15 MoSi 膜，以形成掩模图案。还包括形成不透明的边缘结构的步骤，所述不透明的边缘在围绕掩模图案周边区域的一部分表面上包括含有碳的材料。优选地，不透明的边缘结构允许 0% 到 3% 的波长约为 248nm、193nm 的光透射比。

在一个可替换的特定实施例中，本发明提供了一种用于处理集成电路
20 器件的方法。该方法包括提供掩模结构，所述掩模结构包括具有表面的石英衬底、被图案化的 MoSi 膜和不透明的边缘结构，所述被图案化的 MoSi 膜上覆石英衬底表面用于形成掩模图案，所述不透明的边缘结构在围绕掩模图案周边区域的一部分表面上包括含有碳的材料。该方法还包括使用掩模结构，用于将图案应用到上覆半导体衬底的光敏材料上。

25 在另一个实施例中，本发明提供了一种用于集成电路器件的半色调移相掩模。所述掩模包括具有表面的石英衬底和上覆所述衬底表面的被图案化的 MoSi 膜。含有碳的材料的不透明的边缘结构，其在围绕掩模图案周边区域的一部分表面上。

与传统技术相比，通过本发明达到了很多优势。例如，本发明使得更

容易使用依赖于传统技术的处理。在一些实施例中，本发明提供了在每一个晶片的小片（die）上的更高的器件产量。此外，该方法提供了一种与传统处理相容的处理，该处理基本上没有对传统的设备和处理做出修改。优选地，本发明可以被用于多种用途，例如存储器、ASIC、微处理器和其他器件。5 优选地，本发明提供了一种使用更少的步骤来制造半色调移相掩模的方法，这使得处理更加有效率。本发明的其他优点还包括：

1. 处理流程被很大程度地简单化了，因此也缩短了周期时间。
2. 主图案的临界尺寸和缺陷控制变得更加容易。
3. 可以通过对传统聚焦离子束（“FIB”）或激光束掩模修复系统做出修改来实现沉积系统，这比传统的掩模曝光系统的成本要少。根据实施例，可以实现这些优势中的一个或多个。在整个说明书中描述了更多的这些和其他的优势，在下面将更加具体地描述。

参照具体的描述和附图可以更加充分地理解本发明的多种其他的目的、特征和优点。

15

附图说明

图 1 到图 11 是图示制造半色调移相掩模的传统方法的简化横截面视图；

图 12 到 17A 是图示根据本发明实施例的一种制造掩模的方法的简化横截面视图；

图 17B 是根据本发明实施例的沉积装置和掩模结构的简化俯视图；以及

图 18 是根据本发明实施例的沉积装置的简化视图。

25 具体实施方式

根据本发明，提供了用于制造半导体器件的技术。更具体地说，本发明提供了一种用于制造半色调移相掩模的方法，该半色调移相掩模用于制造例如动态随机访问存储器器件、静态随机访问存储器器件（SRAM）、专用集成电路器件（ASIC）、微处理器和微控制器、闪存器件和其他器件

的先进的集成电路。

下面给出了用于制造移相掩模的传统方法：

1. 提供石英衬底；
2. 形成上覆衬底的 MoSi 膜；
- 5 3. 形成上覆 MoSi 膜的抗反射铬（ArCr）膜；
4. 形成上覆 ArCr 膜的光刻胶层；
5. 曝光光刻胶层；
6. 显影光刻胶层以形成用于掩模图案的开口；
7. 湿刻蚀 ArCr 膜；
- 10 8. 剥离（strip）光刻胶膜；
9. 用 ArCr 膜作为掩模干刻蚀 MoSi 膜，以形成掩模结构；
10. 清洗掩模结构；
11. 形成上覆被图案化的掩模结构的光刻胶层；
12. 曝光光刻胶层以限定边缘（edge）结构；
- 15 13. 显影光刻胶层以形成用于保护边缘结构的开口；
14. 湿刻蚀开口内的 ArCr 层；
15. 剥离光刻胶膜；以及
16. 如果要求，进行其他步骤。

上面顺序的步骤被用于准备传统的半色调移相掩模。可以看出，至少
20 有两个主要的光掩模（photomasking）步骤。传统的方法存在很多限制。
比如说，为了制造掩模至少要有十一个主要步骤，这很昂贵而且耗费时间。
在整个说明书中描述了这些和其他的限制，在下面将更加具体地描述。

图 1 到图 11 是图示制造半色调移相掩模的传统方法的简化横截面视
25 图。如所示出的，该方法提供了石英衬底 100。石英衬底包括上覆衬底的
MoSi 膜 101。该方法形成了上覆 MoSi 膜的抗反射铬（ArCr）膜 103 以及
上覆 ArCr 膜形成的光刻胶层 105。参照图 2，该方法曝光光刻胶层 105。
如所示出的，被曝光的区域 201 将通过图 3 中示出的显影被去除掉。在光
刻胶层中形成开口 301 用于掩模图案。

然后，该方法如图 4 中示出的，通过光刻胶层中的开口湿刻蚀 ArCr 膜。优选地，湿刻蚀使用 CR_2C 。然后，该方法如图 5 中所示，剥离光刻胶膜。然后，该方法用 ArCr 膜作为掩模刻蚀 MoSi 膜，以形成中间 (intermediate) 掩模结构，如图 6 中示出的。优选地，使用等离子体刻蚀。这种等离子体刻蚀使用含有 $\text{Cl}_2 + \text{O}_2$ 的物质 (specie)。清洗中间掩模结构。

如图 7 所图示的，进行第二掩模和刻蚀处理。如图 7 所图示的，该方法形成上覆被图案化的掩模结构的光刻胶层。该方法曝光 801 光刻胶层以限定边缘结构。显影光刻胶层以形成用于保护边缘结构的开口，如图 9 所图示的。对开口内的 ArCr 层进行湿刻蚀步骤，以限定边缘结构，如图 10 中示出的。然后，剥离光刻胶层，以曝光所完成的包括边缘结构的掩模图案，如图 11 所图示的。

形成移相掩模的传统方法具有大量的限制。仅仅作为一个例子，为了形成移相掩模要用许多步骤，这导致在所完成的图案中产生错误。这里，被用于限定 ArCr 层的湿刻蚀处理经常产生底切 (undercut) 层，这导致某些传统处理中大部分的错误。对于本领域的技术人员来说，这些和其他限制将变得很清楚。在整个说明书中以及在下面更加具体的描述中可以找到用于克服传统方法中的某些限制的技术。

根据本发明实施例的一种用于制造掩模结构的方法，大概描述如下：

1. 提供石英衬底；
2. 形成上覆衬底的 MoSi 膜；
3. 形成上覆 MoSi 膜的光刻胶层；
4. 曝光光刻胶层；
5. 显影光刻胶层以形成用于掩模图案的开口；
6. 通过开口干刻蚀 MoSi 膜；
7. 剥离光刻胶膜；
8. 在衬底的边缘上沉积碳材料，以形成边缘结构；以及
9. 如果要求，进行其他步骤。

上面顺序的步骤提供了根据本发明实施例的一种用于制造光刻掩模的

方法。如所示出的，这种步骤包括在衬底的边缘上碳材料的沉积，以形成作为掩模图案的边界（border）的边缘结构。该方法具有更少的步骤，因此更有效率且成本上更加可行。在整个说明书中可以找到进一步的细节，并可以根据下面描述的附图更具体地了解。

5 图 12 到 17A 是图示根据本发明实施例的一种制造掩模的方法的简化横截面视图。这里，这些图仅仅是说明，而不应该不适当地限制所要求保护的
范围。本领域的技术人员将知道许多其他的变化、修改和替换。如所示出的，该方法从提供石英衬底 1201 开始。该石英衬底是优选的起始材料，但是也可以使用其他显示出类似的光传输特性的材料。衬底包括上覆
10 的 MoSi 材料膜 1203。还可以使用其他材料，例如 CrF_x 、 Ta_xO_y 和 CrF_xO_y 。

石英衬底包括上覆衬底的 MoSi 膜 101。还可以使用具有类型特性的其他膜，例如 CrF_x 。优选地，可以使用例如溅射、电镀或等离子体沉积的沉积技术来沉积 MoSi 膜。该方法形成上覆 MoSi 膜的光刻胶层 1205。参
15 照图 13，该方法曝光 1301 光刻胶层 1205。如所示出的，被曝光的区域将通过图 14 中示出的显影被去剥离。在光刻胶层中形成开口 1401 用于掩模图案 1400。

然后，如图 15 中示出的，该方法通过光刻胶层中的开口刻蚀 MoSi 膜。优选地，可以使用干刻蚀技术。仅仅作为一个例子，这种干刻蚀技术
20 包括等离子体刻蚀、反应离子刻蚀和离子耦合，还有其他技术。等离子体刻蚀有选择地去除 1501 MoSi 膜，而不会损坏石英衬底。石英衬底在 MoSi 膜的刻蚀处理中起到刻蚀停止物的作用。现在，图案化被刻蚀的 MoSi 膜以形成将在集成电路制造中使用的掩模图案。此外，MoSi 膜不是用湿处理刻蚀的，基本上它是没有底切区域的。然后，如图 16 中所示，
25 该方法剥离光刻胶膜。剥离经常使用利用含有氧气的等离子体的灰化物（asher）。当然，具体的剥离技术取决于其他因素。

优选地，如图 17A 所图示的，该方法沿着被图案化的掩模区域的周边 1703 形成边界 1701。在一个特定的实施例中，边界是被沉积的（碳或铬）材料。所沉积的碳材料处于 C_{12} 、 C_{13} 、 C_{14} 状态。所沉积的碳材料具有

4800 微米的宽度、50nm 到 300nm 的厚度和围绕掩模区域 1701 的周边的长度。根据实施例，可以使用特定的技术来沉积碳材料。仅仅作为一个例子，可以使用聚焦离子束（focused ion beam, “FIB”）工具 1705（见图 17B）来沉积碳材料，所述工具例如为日本精工仪器制造的 SIR3000。或者，可以使用例如由 NEC 公司制造的激光束沉积系统提供的激光沉积技术。所沉积的碳材料具有从约 0% 到约 3% 的透射比（transmittance），其作为适合的边界材料。优选地，所沉积的碳材料是不透明的，但是这只是处于一个稍微不同的状态并且仍处于本发明的范围之内。根据附图和下面的描述可以找到装置的进一步细节。

图 18 是根据本发明实施例的沉积装置 1800 的简化视图。这个图仅仅是说明性的，而不应该不适当地限制所要求保护的范。本领域的技术人员将知道许多其他的变化、修改和替换。如所示出的，沉积装置 1800 包括多种特征，例如离子源 1801、耦合到离子源的光学子系统 1802、气体注入系统 1803、电子枪 1804、离子监测器 1805 和其他元件。该装置包括 x-y 台，x-y 台包括可以相对于光学子系统移动的掩模（或工作片）。根据实施例，可以由其他变换、修改和替换。

虽然上面已经根据特定的实施例做了说明，但是可以有其他的修改、替换和变换。例如，硼已经被用作杂质，但是还可以使用例如 Ga 的其他杂质。应该理解，这里描述的例子和实施例是为了说明的目的，因此，对于本领域的技术人员来说，将想到各种修改或改变，并且将被包含在本申请的精神和范围内以及所附权利要求的原理内。

根据本发明实施例的一种用于使用本掩模结构制造集成电路器件的方法，大概描述如下：

1. 提供石英衬底；
2. 形成上覆衬底的 MoSi 膜；
3. 形成上覆 MoSi 膜的光刻胶层；
4. 曝光光刻胶层；
5. 显影光刻胶层以形成用于掩模图案的开口；
6. 通过开口干刻蚀 MoSi 膜；

7. 剥离光刻胶膜;
8. 在衬底的边缘上沉积碳材料, 以形成边缘结构;
9. 提供被完成的被图案化的掩模结构;
10. 将掩模结构用于集成电路的制造; 以及
- 5 11. 如果要求, 进行其他步骤。

上面顺序的步骤提供了根据本发明实施例的一种用于制造光刻掩模的方法。如所示出的, 该方法包括在衬底的边缘上沉积碳材料, 以形成作为掩模图案的边界的边缘结构。该方法具有更少的步骤, 因此更有效率且成本上更加可行。该方法还包括将所完成的掩模用于集成电路的制造。

- 10 虽然上面已经根据特定的实施例做了说明, 但是可以有其他的修改、替换和变换。例如, 硼已经被用作杂质, 但是还可以使用例如 Ga 的其他杂质。应该理解, 这里描述的例子和实施例是为了说明的目的, 因此, 对于本领域的技术人员来说, 将想到各种修改或改变, 并且将被包含在本申请的精神和范围内以及所附权利要求的原理内。

15

说明书附图

03NI0606

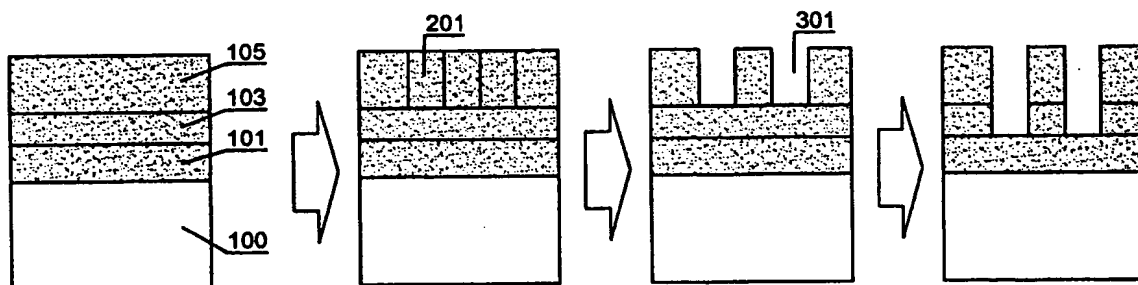


图1

图2

图3

图4

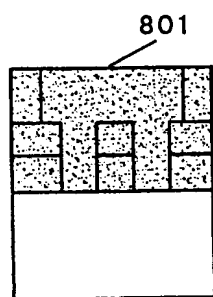


图8

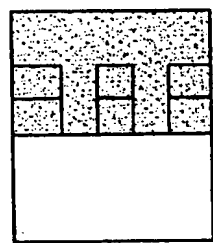


图7

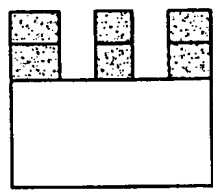


图6

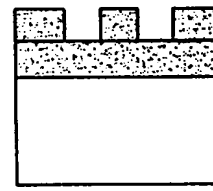


图5

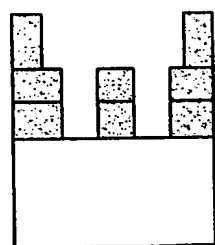


图9

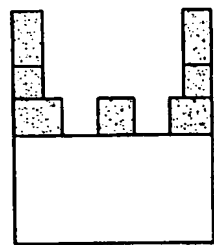


图10

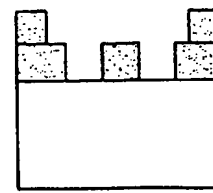
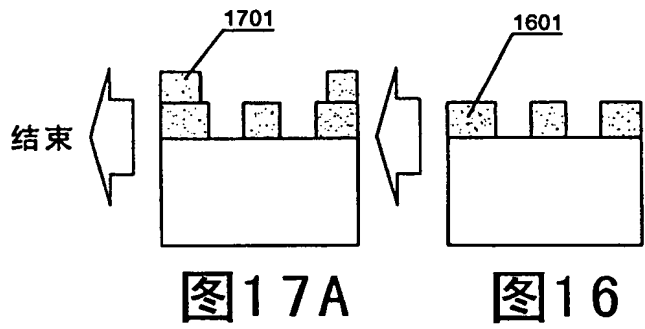
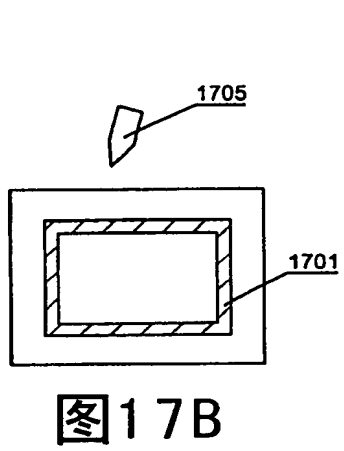
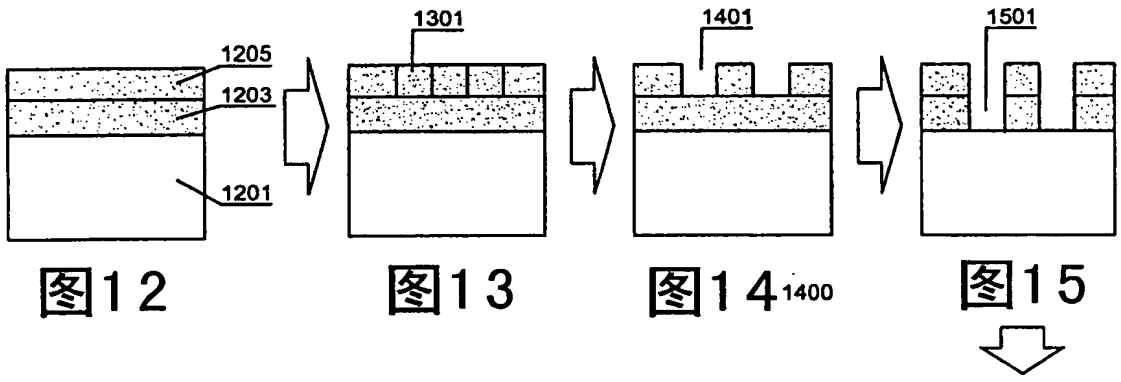


图11



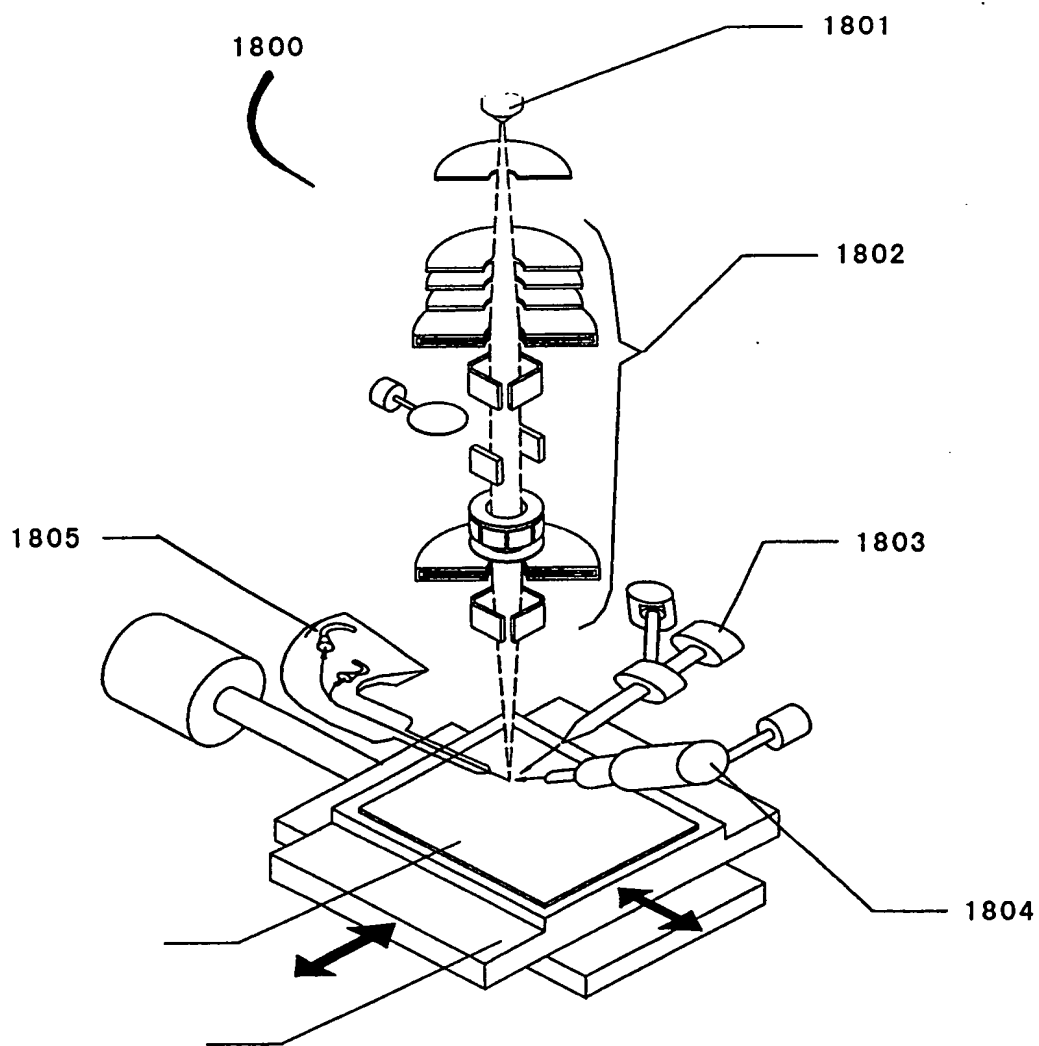


图18